



①⑨ **BUNDESREPUBLIK
DEUTSCHLAND**



**DEUTSCHES
PATENT- UND
MARKENAMT**

⑫ **Übersetzung der
europäischen Patentschrift**

⑤① Int. Cl. 7:
H 03 K 17/08

⑨⑦ **EP 0 743 751 B 1**

⑩ **DE 696 10 457 T 2**

- ②① Deutsches Aktenzeichen: 696 10 457.1
⑨⑥ Europäisches Aktenzeichen: 96 107 805.2
⑨⑥ Europäischer Anmeldetag: 15. 5. 1996
⑨⑦ Erstveröffentlichung durch das EPA: 20. 11. 1996
⑨⑦ Veröffentlichungstag
der Patenterteilung beim EPA: 27. 9. 2000
④⑦ Veröffentlichungstag im Patentblatt: 8. 2. 2001

③⑩ Unionspriorität:

11677595 16. 05. 1995 JP

⑦③ Patentinhaber:

Fuji Electric Co., Ltd., Kawasaki, Kanagawa, JP

⑦④ Vertreter:

Grünecker, Kinkeldey, Stockmair & Schwanhäusser,
80538 München

⑧④ Benannte Vertragsstaaten:

DE, FR, GB

⑦② Erfinder:

Watanabe, Manabu, Kawasaki-ku, Kanagawa 210,
JP

⑤④ Halbleitervorrichtung

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

DE 696 10 457 T 2

DE 696 10 457 T 2

BEST AVAILABLE COPY

29.08.00

EPA 96 107 805.2

Die vorliegende Erfindung betrifft eine Halbleitervorrichtung in Übereinstimmung mit dem Oberbegriff von Anspruch 1.

Eine derartige Halbleitervorrichtung ist aus EP 599 605 A2, zweite Ausführungsform bekannt. Ein IGBT wird durch eine Steuerschaltung gesteuert und geschützt. Die Steuerschaltung umfaßt einen Stromerfassungswiderstand, eine Hauptstromabschaltbefehlsschaltung, eine Steuerschaltung, einen Gatewiderstand und eine Hauptstromsteuerschaltung. Der Stromerfassungswiderstand wird durch zwei in Reihe geschaltete Widerstände gebildet. Die Hauptstromsteuerschaltung umfaßt einen npn-Transistor und eine Konstantspannungsdiode. Die Basis des npn-Transistors und ein Anschluß des Stromerfassungswiderstands sind mit einer Stromerfassungselektrode des IGBT verbunden. Die geteilte Spannung des Stromerfassungswiderstands wird zu dem nicht invertierenden Eingangsanschluß eines Vergleichers geführt. Die Ausgabe des Vergleichers wird zu der Steuerschaltung gegeben.

US 4,787,007 A beschreibt eine Ausgabesteuerhalbleiterschaltung mit einer Schutzschaltung, um einen Ausgabe-npn-Transistor vor einer Zerstörung zu schützen. Die Ausgabesteuerschaltung umfaßt einen Überstrombegrenzer, einen Überlastungsdetektor und eine Verzögerungsschaltung.

Fig. 4 ist ein Blockdiagramm, das eine herkömmliche Halbleitervorrichtung mit Überstrombegrenzungs-/Schutzfunktionen zeigt. Wie in Fig. 4 gezeigt, umfaßt die herkömmliche Halbleitervorrichtung ein intelligentes Leistungsmodul 10 und eine Steuerung 20 einschließlich einer Schutzschaltung vor Überströmen. Das intelligente Leistungsmodul 10 umfaßt einen Bipolartransistor 1 mit isoliertem Gate (im folgenden einfach als "IGBT" (= Insulated Gate Bipolar Transistor) bezeichnet) mit einem Bipolartransistorelement mit isoliertem Gate, das einen durch den IGBT 1 fließenden Strom erfaßt und einen Stromerfassungsanschluß E1 aufweist, einen Stromfeststellungsabschnitt 2, eine Überstrombegrenzungsschaltung 3 und einen Gatewiderstand R_G . Die Steuerung 20 umfaßt eine Steuerschaltung 11, eine AN-AUS-Signaleingabeschaltung 12 und eine Schutzschaltung 30, um den IGBT 1 vor Überströmen zu schützen.

Während eines Dauerbetriebs empfängt die Steuerschaltung 11 ein AN-AUS-Signal von der AN-AUS-Signaleingabeschaltung 12 und gibt in Reaktion auf das AN-AUS-Signal eine Steuerspannung V_{11} aus. Die Steuerspannung V_{11} wird durch den Gatewiderstand R_G zu einer

29.08.00

Steuerspannung V_G umgewandelt, die dann zwischen einem Gate und einem Emitter des IGBT 1 angelegt wird, um einen Laststrom I_L zwischen einem Kollektor und dem Emitter des IGBT 1 fließen zu lassen oder zu unterbrechen.

Der Stromfeststellungsabschnitt 2 umfaßt die in Reihe geschalteten Widerstände R_1 und R_2 , wobei ein Spannungsteileranschluß D_1 zwischen den Widerständen R_1 und R_2 angeordnet ist. Der Stromfeststellungsabschnitt 2 ist zwischen dem Stromerfassungsanschluß E_1 und dem Emitter des IGBT 1 verbunden. Die Überstrombegrenzungsschaltung 3 umfaßt eine Reihenschaltung aus einem npn-Transistor 3T und einer Spannungsregeldiode 3D wie etwa einer Lawinendiode oder einer Zenerdiode.

Die Überstrombegrenzungsschaltung 3 ist zwischen dem Gate und dem Emitter des IGBT 1 verbunden. Ein Gesamtspannungsabfall V_d über die Widerstände R_1 , R_2 des Stromfeststellungsabschnitts 2 wird an einer Basis des npn-Transistors 3T angelegt.

Eine Überstromfeststellungsschaltung 31 gibt ein Feststellungssignal aus, wenn eine geteilte Spannung V_1 am Spannungsteileranschluß D_1 (ein Spannungsabfall über den Widerstand R_1) eine vorbestimmte Betriebsstartspannung V_{OC} der Überstromfeststellungsschaltung 31 überschreitet. Eine AUS-Signalerzeugerschaltung 32 gibt in Reaktion auf das Feststellungssignal von der Überstromfeststellungsschaltung 31 ein AUS-Signal aus, das die Steuerung 11 dazu veranlaßt, die Ausgabe einer Steuerspannung V_{11} zu beenden. Die Schutzschaltung 30 umfaßt die Überstromfeststellungsschaltung 31, die AUS-Signalerzeugerschaltung 32 und eine Alarmsignalerzeugerschaltung 33.

In der oben beschriebenen Halbleitervorrichtung fließt ein Kurzschlußstrom zwischen dem Kollektor und dem Emitter des IGBT 1, wenn der Lastkreis kurzgeschlossen wird. Dann fließt ein Erfassungsstrom I_s , der dem Kurzschlußstrom entspricht, über den Erfassungsanschluß E_1 zu dem Stromfeststellungsabschnitt 2. Der Erfassungsstrom I_s wird durch den Gesamtspannungsabfall V_d über die Widerstände R_1 , R_2 und den Spannungsabfall (die geteilte Spannung) V_1 über den Widerstand R_1 festgestellt. Der an dem npn-Transistor 3T angelegte Gesamtspannungsabfall V_d ist höher als die geteilte Spannung V_1 , die wie folgt wiedergegeben wird:

$$V_1 = V_d(R_1/(R_1+R_2)) = KV_d$$

29.08.00

Wenn bei diesem Spannungsschema eine AN-Spannung V_{Beth} des npn-Transistors 3T und die Betriebsstartspannung V_{Oc} der Überstromfeststellungsschaltung 31 beinahe gleich sind, wird der npn-Transistor 3T zuerst angeschaltet. Das Anschalten des npn-Transistors 3T setzt die Steuerspannung V_G , die an dem Gate des IGBT 1 angelegt wird, auf einen Wert gleich der Summe aus einer Lawinenspannung oder einer Zenerspannung der Spannungsregeldiode 3D und einer Vorwärtsspannung des npn-Transistors 3T herab, um den Kurzschlußstrom zu begrenzen, der durch den IGBT 1 fließt. Wenn die geteilte Spannung V_1 weiterhin die Betriebsstartspannung V_{Oc} der Überstromfeststellungsschaltung 31 überschreitet, beginnt die Schutzschaltung 30 mit dem Betrieb und beendet die Steuerschaltung 11 die Ausgabe einer Steuerspannung V_{11} . Dann wird der IGBT 1 ausgeschaltet und wird der Kurzschlußstrom unterbrochen. Unter Verwendung eines Alarmsignals von der Alarmsignal-erzeugerschaltung 33, das den Lastkreis 33 unterbricht, wird der Kurzschluß aus dem Lastkreis entfernt.

Wie oben beschrieben, begrenzt die Überstrombegrenzungsschaltung den Kurzschlußstrom und unterbricht die Schutzschaltung den begrenzten Strom innerhalb einer Zeitperiode, die durch die Lastkurzschluß-Widerstandsfähigkeit des IGBT bestimmt wird, um zu verhindern, daß der IGBT durch den Lastkurzschluß zerstört wird.

Die Schutzschaltung funktioniert jedoch gelegentlich nicht richtig in Folge auf die Überstrombegrenzungsschaltung, so daß der IGBT zerstört werden kann.

Wenn man das Feststellungsverhältnis des IGBT 1 durch S, den durch den Stromfeststellungsabschnitt 2 fließenden Strom durch I_{S1} und den Basisstrom des npn-Transistors T3 durch I_{S2} angibt, dann wird die für den Betrieb der Schutzschaltung erforderliche geteilte Spannung V_1 wie folgt ausgedrückt:

$$V_1 = R_1(I_{S1}S - I_{S2}) > V_{\text{Oc}}$$

R_1 , I_{S1} , S und andere derartige Konstanten werden so gewählt, daß die oben beschriebene Bedingung erfüllt wird. Es ist jedoch schwierig, diese Konstanten einzustellen, weil I_{S1} und S bei unterschiedlichen IGBTs verschieden sind. Weil die relevanten Konstanten nicht immer entsprechend eingestellt werden können, funktioniert die Schutzschaltung in Folge auf die Überstrombegrenzungsschaltung gelegentlich nicht richtig. Insbesondere wenn die Betriebsstartspannung V_{Oc} der Überstromfeststellungsschaltung 31 niedriger ist als die AN-Spannung V_{Beth} des npn-Transistors 3T, neigt die Schutzschaltung dazu, in Folge auf die

29.08.00

Überstrombegrenzungsschaltung nicht richtig zu funktionieren. Die Abweichungen von I_{S1} und S machen die Einstellung des Zeitablaufs für die Unterbrechung des Kurzschlußstroms durch die Schutzschaltung schwierig und können einen Ausfall des IGBT verursachen.

Wenn ein Überstrom mit niedrigem Pegel während des Dauerbetriebs verursacht wird, setzt die Überstrombegrenzungsschaltung 3 die Steuerschaltung V_G herab, um den durch den IGBT 1 fließenden Überstrom zu reduzieren. Indem also der durch den IGBT 1 fließende Überstrom begrenzt wird, wird der IGBT 1 vor dem Überstrom geschützt. Der begrenzte Überstrom wird unterbrochen, wenn das Eingangssignals zu der Eingabeschaltung 12 zu einem niedrigen Pegel übergeht. In Verbindung damit beendet die Überstrombegrenzungsschaltung 3 den Betrieb. Wenn jedoch das Eingangssignal zu der Eingabeschaltung 12 wieder zum hohen Pegel übergeht, fließt der Überstrom wieder und wird die Überstrombegrenzungsschaltung 3 wieder betrieben, um den Überstrom zu begrenzen. Die Überstrombegrenzungsschaltung 3 startet und stoppt den Betrieb wiederholt. Wegen dieser wiederholten Start-/Stoppzyklen erhöht sich der Dauerverlust des IGBT. Die durch den erhöhten Dauerverlust akkumulierte Wärme verursacht eine Zerstörung des IGBT 1, obwohl der IGBT 1 die Überstrombegrenzungsschaltung 3 aufweist.

Es ist eine Aufgabe der vorliegenden Erfindung, eine Halbleitervorrichtung mit einem zuverlässigeren Überstromschutz anzugeben.

Diese Aufgabe wird durch eine Halbleitervorrichtung nach Anspruch 1 gelöst.

Bevorzugte Ausführungsformen sind Gegenstand der abhängigen Ansprüche.

Vorzugsweise wird die Betriebsspannung der Überstrombegrenzungseinrichtung mit einem höheren Wert gesetzt als die Betriebsstartspannung der Schutzeinrichtung.

Vorzugsweise wird ein AUS-Signal durch die Verzögerungseinrichtung verzögert, um die Ausgabe der Steuerspannung von der Steuereinrichtung innerhalb einer annehmbaren Zeitdauer zu beenden, die durch die Lastkurzschluß-Widerstandsfähigkeit des Halbleiterelements mit isoliertem Gate bestimmt wird.

Weil die Überstrombegrenzungseinrichtung durch die geteilte Spannung der Stromfeststellungseinrichtung ohne Verzögerung gesteuert wird, reagiert die Überstrombegrenzungseinrichtung schnell auf einen Überstrom, obwohl ihre Überstromfeststellungsempfindlichkeit

29.08.00

gering ist. Weil die Schutzeinrichtung durch den Gesamtspannungsabfall über die Stromfeststellungseinrichtung gesteuert wird, ist die Überstromfeststellungsempfindlichkeit der Schutzeinrichtung hoch. Die Schutzeinrichtung reagiert langsam auf einen Überstrom, weil das AUS-Signal durch die Verzögerungseinrichtung verzögert wird.

Die Überstrombegrenzungseinrichtung reagiert also zuerst auf einen schnell ansteigenden Kurzschlußstrom, um den durch das Halbleiterbauelement mit isoliertem Gate fließenden Kurzschlußstrom zu begrenzen. Dann erreicht das AUS-Signal von der Schutzeinrichtung die Steuereinrichtung. Die Steuereinrichtung beendet die Ausgabe der Steuerspannung, um den bereits begrenzten Kurzschlußstrom sicher zu unterbrechen.

Die Schutzeinrichtung reagiert auf einen langsam ansteigenden gewöhnlichen Überstrom, bevor die Überstrombegrenzungseinrichtung den langsam ansteigenden gewöhnlichen Überstrom begrenzt. Das verzögerte AUS-Signal von der Schutzeinrichtung erreicht die Steuereinrichtung, um den gewöhnlichen Überstrom zu unterbrechen, bevor die geteilte Spannung der Stromfeststellungseinrichtung die Betriebsstartspannung der Überstrombegrenzungseinrichtung erreicht. Dieser Schutzmodus beseitigt den Nachteil des Standes der Technik, daß wiederholte Überstrombegrenzungsoptionen jedesmal wiederholt werden, wenn die Steuerspannung einen hohen Pegel erreicht.

Indem die Betriebsspannung der Überstrombegrenzungseinrichtung mit einem höheren Wert gesetzt wird als die Betriebsstartspannung der Schutzeinrichtung, wird eine Differenz zwischen den Überstromfeststellungsempfindlichkeiten der Überstrombegrenzungseinrichtung und der Schutzeinrichtung durch einen Multiplikationseffekt mit dem Spannungsteilungsverhältnis der Stromfeststellungseinrichtung vergrößert. Indem die Empfindlichkeits- und Reaktionsgeschwindigkeitsdifferenzen effektiv genutzt werden, wird das Halbleiterbauelement sicher sowohl vor einem Kurzschlußstrom wie vor einem gewöhnlichen Überstrom geschützt.

Indem die Zeitkonstante der Verzögerungseinrichtung derart gesetzt wird, daß die Ausgabe der Steuerspannung von der Steuereinrichtung innerhalb einer annehmbaren Zeitdauer beendet wird, die durch die Lastkurzschluß-Widerstandsfähigkeit des Halbleiterbauelements mit isoliertem Gate bestimmt wird, wird das Halbleiterbauelement mit isoliertem Gate einfach und sicher vor einer Zerstörung durch einen Lastkurzschluß geschützt.

Im folgenden wird eine bevorzugte Ausführungsform der vorliegenden Erfindung mit Bezug auf die beigefügten Zeichnungen beschrieben.

29.08.00

Fig. 1 ist ein Schaltblockdiagramm, das eine Halbleitervorrichtung in Übereinstimmung mit einer Ausführungsform der vorliegenden Erfindung zeigt,

Fig. 2 ist ein Satz von Kennlinien, die den Betrieb der Halbleitervorrichtung von Fig. 1 auf schematische Weise darstellen,

Fig. 3 ist ein Überstrom-Wellendiagramm, das durch den Betrieb der Halbleitervorrichtung von Fig. 1 erhalten wird, und

Fig. 4 ist ein Blockschaltdiagramm, das eine herkömmliche Halbleitervorrichtung mit Überstrombegrenzungs-/Schutzfunktionen zeigt.

Im folgenden wird die vorliegende Erfindung im Detail mit Bezug auf die beigefügten Zeichnungen beschrieben, die eine bevorzugte Ausführungsform der vorliegenden Erfindung darstellen. In diesen Zeichnungen werden Teile, die mit denjenigen von Fig. 4 identisch sind, durch gleiche Bezugszeichen oder Symbole angegeben, wobei hier der Einfachheit halber auf eine wiederholte Beschreibung dieser Teile verzichtet wird.

Fig. 1 ist ein Schaltblockdiagramm, das eine Halbleitervorrichtung in Übereinstimmung mit einer Ausführungsform der vorliegenden Erfindung zeigt. Wie in Fig. 1 gezeigt, weist diese Halbleitervorrichtung wie bei dem in Fig. 4 gezeigten herkömmlichen Beispiel ein intelligentes Leistungsmodul 10 und eine Steuerung 20 einschließlich einer Schutzschaltung gegen Überströme auf. Das intelligente Leistungsmodul 10 umfaßt einen IGBT 1 mit einem Halbleiterelement mit einem isolierten Gate, das den Strom erfäßt und einen Erfassungsanschluß E_1 aufweist, einen Stromfeststellungsabschnitt 2, eine Überstrombegrenzungsschaltung 3 und einen Gatewiderstand R_G . Die Steuerung 20 umfaßt eine Steuerschaltung 11, eine AN-AUS-Signaleingabeschaltung 12 und eine Überstromschutzschaltung 30.

Der Stromfeststellungsabschnitt 2 wird durch die in Reihe geschalteten Widerstände R_1 und R_2 gebildet, wobei zwischen den Widerständen R_1 und R_2 ein Spannungsteileranschluß D_1 verbunden ist. Der Stromfeststellungsabschnitt 2 ist zwischen dem Stromerfassungsanschluß E_1 und dem Emitter des IGBT 1 verbunden. Das in Fig. 1 gezeigte Halbleiterbauelement unterscheidet sich von dem in Fig. 4 gezeigten herkömmlichen Halbleiterbauelement dadurch, daß der Spannungsteileranschluß D_1 des Stromfeststellungsabschnitts 2 mit einer Basis eines npn-Transistors T_3 der Überstrombegrenzungsschaltung 3 derart verbunden ist, daß wenn eine geteilte Spannung V_1 (ein Spannungsabfall über den Widerstand R_1) eine Betriebsspannung V_{BEth} des npn-Transistors T_3 überschreitet, der npn-Transistor T_3 angeschaltet wird, um eine Steuerspannung V_G des IGBT 1 auf einen bestimmten Wert zu

29.08.00

reduzieren, der beinahe durch eine rückwärtsleitende Spannung der Spannungsregeldiode 3D bestimmt wird.

Die Schutzschaltung 30 umfaßt eine Überstromfeststellungsschaltung 31, eine AUS-Signalerzeugerschaltung 32 und eine Alarmsignalerzeugerschaltung 33. Die Schutzschaltung 30 umfaßt auch eine Verzögerungsschaltung 34, die mit der Ausgangsseite der AUS-Signalerzeugerschaltung 32 verbunden ist.

Die Schutzschaltung 30 ist mit dem Stromerfassungsanschluß E_1 des IGBT 1 verbunden. Ein Gesamtspannungsabfall V_d (ein Spannungsabfall über die Widerstände R_1 , R_2) des Stromfeststellungsabschnitts 2 wird mit einer vorbestimmten Betriebsstartspannung V_{OC} in der Überstromfeststellungsschaltung 31 verglichen, die zum Beispiel eine Vergleicherschaltung umfaßt. Die Verzögerungsschaltung 34 verzögert ein AUS-Signal von der AUS-Signalerzeugerschaltung 32 um eine bestimmte Verzögerungszeit τ und gibt das verzögerte AUS-Signal an die Steuerschaltung 11 aus. Die Steuerschaltung 11 beendet die Ausgabe einer Steuerungsspannung V_{11} in Reaktion auf die Eingabe des AUS-Signals.

Fig. 2 zeigt einen Satz von Kennlinien, die den Überstromschutz dieser Ausführungsform auf schematische Weise darstellen. In der Figur ist die Betriebsspannung V_{BEth} der Strombegrenzungsschaltung 3 durch einen Gesamtspannungsabfall V_{d3} ersetzt, der zum Anschalten des npn-Transistors 3T erforderlich ist. V_{d3} wird erhalten, indem die Betriebsspannung V_{BEth} durch das Spannungsteilungsverhältnis $K = R_1/(R_1+R_2)$ des Stromfeststellungsabschnitts 2 geteilt wird. Fig. 2 zeigt ein Beispiel, in dem V_{d3} mit $2 V_{OC}$ und K mit 0,5 gesetzt sind. Durch die Einstellung der Konstanten weist die Überstrombegrenzungsschaltung 3 eine geringe Überstromfeststellungsempfindlichkeit, aber eine schnelle Überstrombegrenzungsreaktion auf. Andererseits weist die Schutzschaltung 30 eine hohe Überstromfeststellungsempfindlichkeit, aber eine langsame Schutzreaktion auf, weil die Schutzschaltung 30 die Ausgabe des AUS-Signals um die Verzögerungszeit τ verzögert. Durch die Nutzung der Differenzen der Schutzeigenschaften dieser Schaltungen wird die folgende Schutzoperation vereinfacht.

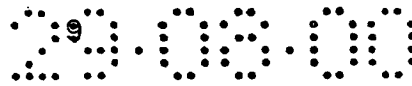
Wenn ein Kurzschlußstrom durch einen Lastkurzschluß oder ähnliches verursacht wird, erfaßt der Stromfeststellungsabschnitt 2 den Kurzschlußstrom und gibt einen sich schnell verändernden Gesamtspannungsabfall V_{ds} aus. Sobald der sich schnell verändernde Gesamtspannungsabfall V_{ds} an einem Punkt "A" die Betriebsstartspannung V_{OC} der Überstromfeststellungsschaltung 31 überschreitet, gibt die AUS-Signalerzeugerschaltung 32 ein AUS-Signal aus. Dann überschreitet der Gesamtspannungsabfall V_{ds} an einem Punkt "B" den

Gesamtspannungsabfall V_{ds} , an dem den npn-Transistor 3T betrieben wird, und erreicht V_{Beth} des npn-Transistors 3T. Zum Zeitpunkt t_1 wird die Überstrombegrenzungsschaltung 3 betrieben, um die Steuerspannung V_G herabzusetzen.

Das AUS-Signal wird durch die Verzögerungsschaltung 34 um eine Verzögerungszeit τ verzögert, wobei die Verzögerungsschaltung 34 zum Zeitpunkt t_2 das verzögerte AUS-Signal V_{OFFS} an die Steuerschaltung 11 ausgibt. Die Steuerschaltung 11 beendet die Ausgabe der Steuerspannung V_{11} in Reaktion auf die Eingabe des verzögerten AUS-Signals V_{OFFS} . Indem das Spannungsteilungsverhältnis des Stromfeststellungsabschnitts 2 und die Verzögerungszeit der Verzögerungsschaltung 34 eingestellt werden, werden die Überstrombegrenzungsschaltung 3 und die Schutzschaltung 30 sicher nacheinander in der oben genannten Reihenfolge betrieben, um den IGBT 1 vor dem Kurzschlußstrom zu schützen.

Der IGBT 1 wird wie folgt gegen einen sich langsam verändernden Überstrom geschützt. Der Stromfeststellungsabschnitt 2, der den gewöhnlichen Überstrom festgestellt hat, gibt einen Gesamtspannungsabfall V_{dO} aus, der sich langsam verändert. Sobald der sich langsam verändernde Gesamtspannungsabfall V_{dO} am Punkt "C" die Betriebsstartspannung V_{Oc} der Überstromfeststellungsschaltung 31 überschreitet, gibt die AUS-Signalerzeugerschaltung 32 ein AUS-Signal aus. Ein verzögertes AUS-Signal V_{OFFO} , das durch die Verzögerungsschaltung 34 um eine Verzögerungszeit τ verzögert wird, wird zu einem Zeitpunkt t_s an die Steuerschaltung 11 ausgegeben, bevor der sich langsam verändernde Gesamtspannungsabfall V_{dO} die zum Betreiben des npn-Transistors 3T erforderliche Spannung V_{ds} erreicht. Die Steuerschaltung 11 beendet die Ausgabe der Steuerspannung V_{11} in Reaktion auf die Eingabe des verzögerten AUS-Signals V_{OFFO} , um den durch den IGBT 1 fließenden Überstrom zu unterbrechen. Wenn ein schnell ansteigender Überstrom mit niedrigem Pegel verursacht wird, wird das Halbleiterbauelement auf ähnliche Weise wie oben beschrieben geschützt, wobei jedoch das verzögerte AUS-Signal V_{OFFO} etwas früher ausgegeben wird.

Fig. 3 ist ein Überstrom-Wellendiagramm, das durch die Schutzoperation der Halbleitervorrichtung von Fig. 1 erhalten wird. In der Figur wird der Kurzschlußstrom zum Zeitpunkt t_1 begrenzt, wenn die Überstrombegrenzungsschaltung 3 betrieben wird, und zum Zeitpunkt t_2 unterbrochen, wenn die Steuerspannung V_{11} durch die Schutzschaltung 30 beendet wird. Indem also die Zeitkonstante der Verzögerungsschaltung 34 derart eingestellt wird, daß der Kurzschlußstrom innerhalb einer annehmbaren Zeit unterbrochen wird, die durch die Kurzschluß-Widerstandsfähigkeit des IGBT 1 bestimmt wird, wird verhindert, daß der IGBT 1 durch den Lastkurzschluß zerstört wird.



Der sich langsam ändernde Überstrom mit niedrigem Pegel wird graduell höher, ohne daß er begrenzt wird, bis er zum Zeitpunkt t_3 unterbrochen wird, wenn das verzögerte AUS-Signal V_{OFFO} ausgegeben wird. Indem also dafür gesorgt wird, daß die AUS-Signalerzeugerschaltung 32, die durch eine Logikschaltung gebildet wird, das AUS-Signal sperrt, oder indem für die Steuerschaltung 11 eine Einrichtung vorgesehen wird, welche die Steuerspannung V_{11} anhaltend beendet, wird der abnormale Zustand verhindert, in dem wiederholt jedesmal ein Überstrom erzeugt und dann begrenzt oder unterbrochen wird, wenn der Pegel der Steuerspannung V_{11} zu einem hohen Pegel übergeht. Es werden also eine Verlusterhöhung und eine Zerstörung des IGBTs verhindert.

Die vorliegende Erfindung wurde mit Bezug auf einen IGBT erläutert, d.h. mit Bezug auf ein Halbleiterbauelement mit isoliertem Gate, das ein Halbleiterelement mit einem isolierten Gate für die Stromerfassung umfaßt, wobei dem Fachmann jedoch deutlich sein sollte, daß die vorliegende Erfindung auch auf andere Halbleiterbauelemente mit einem isolierten Gate wie etwa Leistungs-MOSFETs mit einem Stromerfassungs-MOSFET angewendet werden kann.

Wie oben beschrieben, umfaßt die Halbleitervorrichtung der vorliegenden Erfindung eine Überstrombegrenzungsschaltung, die eine niedrige Überstromfeststellungsempfindlichkeit, aber eine schnelle Überstrombegrenzungsreaktion aufweist, sowie eine Schutzschaltung, die eine hohe Überstromfeststellungsempfindlichkeit, aber eine langsame Schutzantwort aufweist, weil eine Verzögerungsschaltung für dieselbe vorgesehen ist. Mit diesem Aufbau wird zuerst die Überstrombegrenzungsschaltung betrieben, um einen durch einen Lastkurzschluß verursachten Kurzschlußstrom zu begrenzen, während dann die Schutzschaltung sicher funktioniert, um den Kurzschlußstrom zu unterbrechen. Auf diese Weise wird der Nachteil der herkömmlichen Halbleitervorrichtung, d.h. die instabile Leistung ihrer Schutzschaltung mit einer niedrigen Überstromfeststellungsempfindlichkeit beseitigt. Die Halbleitervorrichtung der vorliegenden Erfindung weist also eine Schutzfunktion auf, die das Halbleiterbauelement mit isoliertem Gate sicher vor einem Lastkurzschluß schützt.

Die Schutzschaltung der vorliegenden Halbleitervorrichtung funktioniert vor der Überstrombegrenzungsschaltung, um einen gewöhnlichen Überstrom mit niedrigem Pegel zu unterbrechen. Dieses Schutzschema der vorliegenden Erfindung beseitigt den Nachteil des Standes der Technik, daß die Überstromerzeugung und -begrenzung jedesmal wiederholt werden, wenn ein Eingabesignal für die Steuerschaltung des Halbleiterbauelements einen ho-

29.08.00

hen Pegel annimmt. Die Halbleitervorrichtung der vorliegenden Erfindung weist also eine Schutzfunktion auf, die das Halbleiterbauelement mit isoliertem Gate sicher vor einem gewöhnlichen Überstrom schützt, ohne daß eine Verlusterhöhung des Halbleiterbauelements verursacht wird.

Die Überstromfeststellungsempfindlichkeiten und der Betriebszeitablauf der Überstrombegrenzungsschaltung und der Schutzschaltung können einfach und sicher eingestellt werden, indem das Spannungsteilungsverhältnis des Stromfeststellungsabschnitts und die Verzögerungszeit der Verzögerungsschaltung gesetzt werden. Dadurch werden negative Auswirkungen von Abweichungen des Stromerfassungsverhältnisses und des Strombegrenzungswertes verhindert und wird ein stabiler Überstromschutz vereinfacht.

29.08.00

EPA 96 107 805.2

Patentansprüche

1. Halbleitervorrichtung mit:

einer Steuereinrichtung (11) zum Ausgeben einer Steuerspannung (V_{11}),

einem Halbleiterbauelement (1) mit isoliertem Gate, das ein Halbleiterelement für die Stromerfassung mit einem Erfassungsanschluß (E_1) umfaßt, um einen Laststrom (I_L) in Übereinstimmung mit der Steuerspannung (V_{11}) AN und AUS zu steuern,

einer Stromfeststellungseinrichtung (2), die mit dem Erfassungsanschluß (E_1) des Halbleiterelements verbunden ist, um einen durch das Halbleiterelement erfaßten Strom zu einem Gesamtspannungsabfall (V_d) und einer geteilten Spannung (V_1) umzuwandeln,

einer Überstrombegrenzungseinrichtung (3) zum Reduzieren der Steuerspannung (V_{11}) auf einen vorbestimmten Wert, und

einer Schutzeinrichtung (30) zum Schützen des Halbleiterbauelements (1) vor Überströmen,

wobei die Schutzeinrichtung (30) eine Überstromfeststellungseinrichtung (31), eine vorbestimmte Betriebsstartspannung (V_{OC}) und eine AUS-Signalerzeugungseinrichtung (32) umfaßt, wobei die AUS-Signalerzeugungseinrichtung (32) ein AUS-Signal ausgibt, wenn die Überstromfeststellungseinrichtung (31) feststellt, daß der Gesamtspannungsabfall die vorbestimmte Betriebsstartspannung (V_{OC}) überschreitet, und wobei das AUS-Signal die Steuereinrichtung (11) dazu veranlaßt, die Ausgabe der Steuerspannung zu beenden,

dadurch gekennzeichnet, daß

die Überstrombegrenzungseinrichtung (5) die Steuerspannung (V_{11}) reduziert, wenn die geteilte Spannung (V_1) eine vorbestimmte Betriebsspannung (V_{OC}) der Überstrombegrenzungseinrichtung (2) überschreitet,

29.08.00

die Schutzeinrichtung (30) mit dem Erfassungsanschluß des Halbleiterelements verbunden ist,

die Überstromfeststellungseinrichtung (31) den Gesamtspannungsabfall von der Stromfeststellungseinrichtung (2) mit der vorbestimmten Betriebsstartspannung (V_{OC}) vergleicht, um Überströme festzustellen, und

die Schutzeinrichtung (30) weiterhin eine Verzögerungseinrichtung (34) umfaßt, um das AUS-Signal von der AUS-Signalerzeugungseinrichtung (32) um eine vorbestimmte Zeitdauer zu verzögern.

2. Halbleitervorrichtung nach Anspruch 1, wobei die Betriebsspannung der Überstrombegrenzungseinrichtung (3) höher gesetzt ist als die Betriebsstartspannung (V_{OC}) der Schutzeinrichtung (30).

3. Halbleitervorrichtung nach Anspruch 1 oder 2, wobei das durch die Verzögerungseinrichtung (34) verzögerte AUS-Signal die Ausgabe der Steuerspannung (V_{11}) von der Steuereinrichtung (11) innerhalb einer annehmbaren Zeitdauer beendet, die durch die Lastkurzschluß-Widerstandsfähigkeit des Halbleiterbauelements (1) mit isoliertem Gate bestimmt wird.

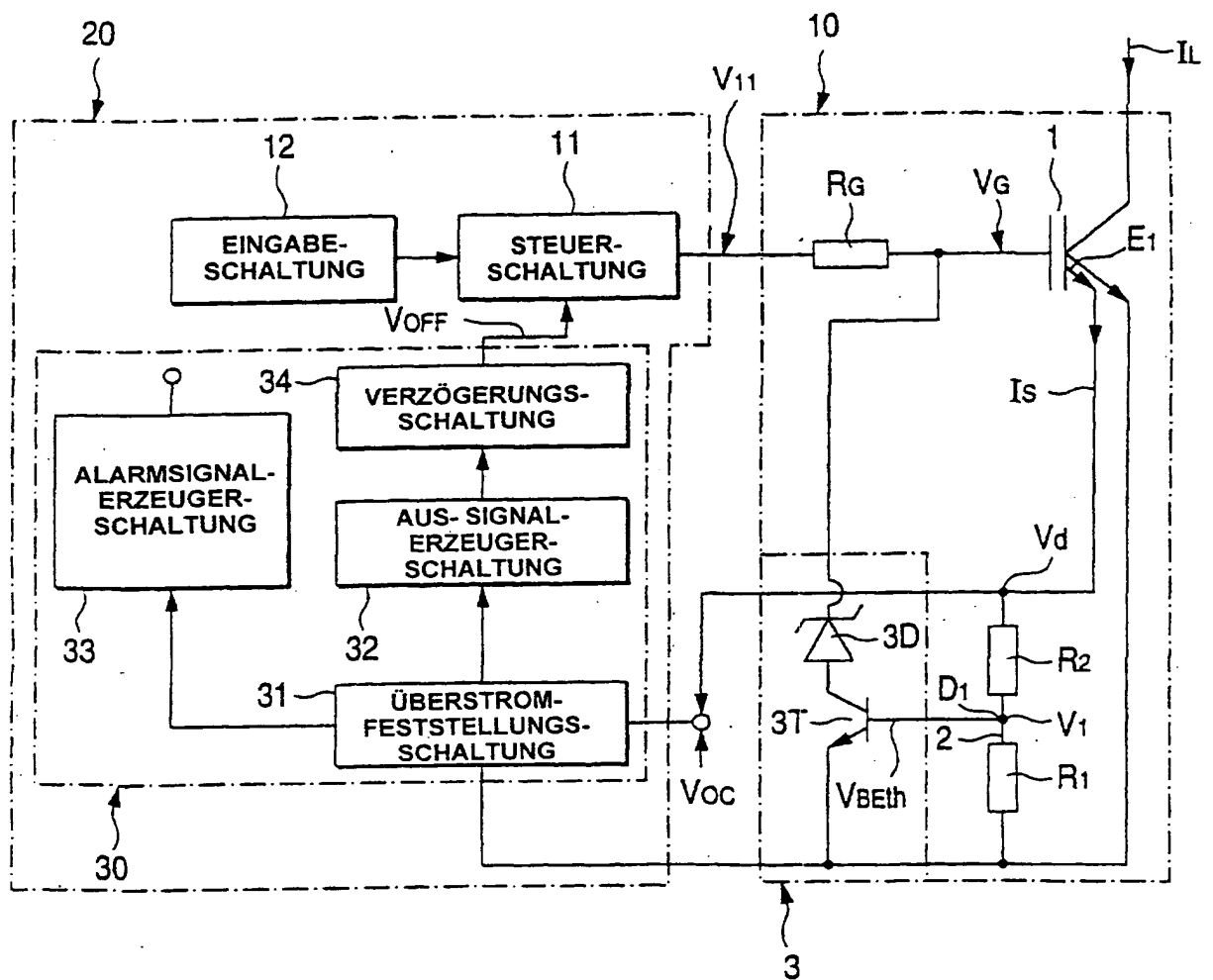
4. Halbleitervorrichtung nach wenigstens einem der Ansprüche 1 bis 3, die weiterhin eine Alarmsignalerzeugerschaltung (33) zum Erzeugen eines Alarmsignals umfaßt, wenn die Überstromfeststellungseinrichtung feststellt, daß der Gesamtspannungsabfall (V_d) die vorbestimmte Betriebsstartspannung (V_{OC}) überschreitet.

29.08.00

96 107 805.2

1/3

FIG. 1



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)